

Family list

3 application(s) for: JP2003031477 (A)

Sorting criteria: Priority Date Inventor Applicant Ecla

- 1 **MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE AND SYSTEM THEREOF**
Inventor: YOSHITAKE YASUHIRO ; MATSUMOTO SHUNICHI (+1)
EC: G03F7/20T14; G03F7/20T22; (+1)
Publication info: JP2003031477 (A) - 2003-01-31
Applicant: HITACHI LTD
IPC: G03F7/20; H01L21/00; H01L21/027; (+5)
Priority Date: 2001-07-17
- 2 **Method and system for manufacturing semiconductor devices**
Inventor: YOSHITAKE YASUHIRO [JP] ; MATSUMOTO SHUNICHI [JP] (+1)
EC: G03F7/20T14; G03F7/20T22; (+1)
Publication info: US2003018406 (A1) - 2003-01-23
US6697698 (B2) - 2004-02-24
Applicant: HITACHI LTD [JP]
IPC: G03F7/20; H01L21/00; H01L21/027; (+4)
Priority Date: 2001-07-17
- 3 **Method and system for manufacturing semiconductor devices**
Inventor: YOSHITAKE YASUHIRO [JP] ; MATSUMOTO SHUNICHI [JP] (+1)
EC: G03F7/20T14; G03F7/20T22; (+1)
Publication info: US2003033046 (A1) - 2003-02-13
US6801827 (B2) - 2004-10-05
Applicant: HITACHI LTD [JP]
IPC: G03F7/20; H01L21/00; G03F7/20; (+2)
Priority Date: 2001-07-17

Data supplied from the *espacenet* database — Worldwide

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE AND SYSTEM THEREOF

Publication date: 2003-01-31

Applicant(s): HITACHI LTD +

- international: G03F7/20; H01L21/00; H01L21/027; G03F7/20; H01L21/00; H01L21/02; (IPC1-7): G03F7/20; H01L21/027

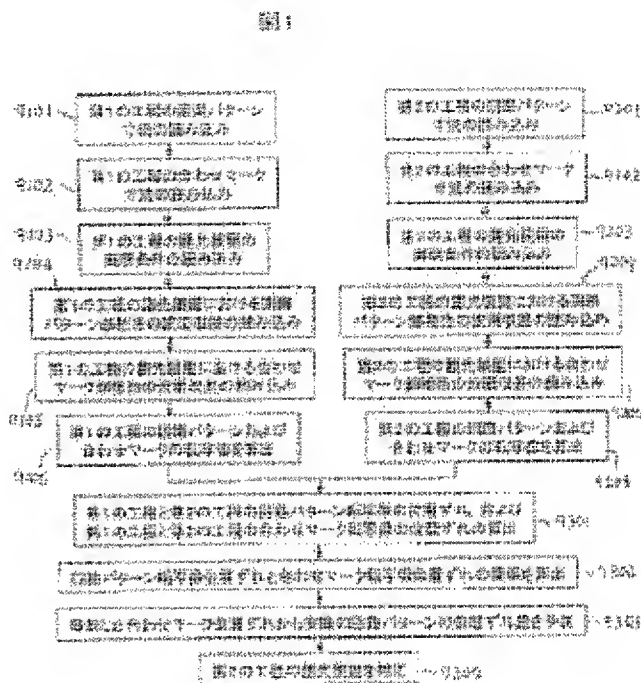
Application number: JP20010216130 20010717

Priority number(s): JP20010216130 20010717

US2003018406 (A1)

US6697698 (B2)

PROBLEM TO BE SOLVED: To solve the problem that the difference between deviation in a mating mark and that in a circuit pattern section that causes deterioration in yields actually cannot be ignored in mating control in a fine tip device, although the mating deviation control of the exposure process of a semiconductor device is performed by measuring the deviation in the mating mark arranged at four corners of a shot before, thus disturbing precision mating control. **SOLUTION:** The difference of deviation in a circuit pattern and a mating mark is estimated according to the pattern dimensions, lighting conditions, and the wave front aberration of an exposure lens for feeding back the compensation value of a projection aligner and for correcting a mating inspection data control value.



(51)Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/027		G03F 7/20	521 5F046
G03F 7/20	521	H01L 21/30	525 W

審査請求 未請求 請求項の数 4 O L (全12頁)

(21)出願番号 特願2001-216130(P 2001-216130)

(22)出願日 平成13年7月17日(2001.7.17)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 吉武 康裕

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 松本 俊一

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

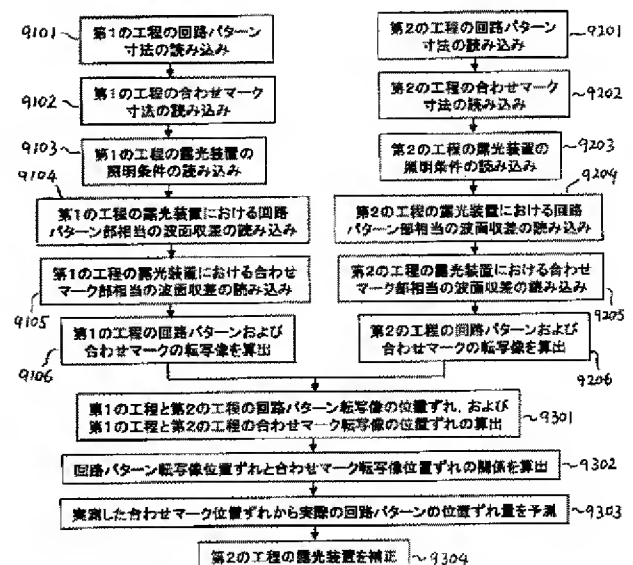
(54)【発明の名称】半導体装置の製造方法およびシステム

(57)【要約】

【課題】従来、半導体装置の露光工程の合わせずれ管理は、ショット4隅に配置された合わせマークのずれを計測することで行ってきた。しかし、微細な先端デバイスでの合わせ管理においては、合わせマークのずれと実際に歩留まり低下を引き起こす回路パターン部でのずれの差が無視できず、このことが高精度な合わせ管理の隘路となっていた。

【解決手段】回路パターンと合わせマークのずれの差を、パターン寸法、照明条件、露光レンズの波面収差から予測し、これを用いて露光装置の補正値のフィードバックおよび合わせ検査データ管理値の修正を行う。

図1



【特許請求の範囲】

【請求項 1】 第 1 の工程の回路パターン上に第 2 の工程の回路パターンを露光する半導体製造方法において、前記第 1 の工程の回路パターン寸法を読み込むステップと、前記第 1 の工程の合わせマーク寸法を読み込むステップと、前記第 1 の工程の露光装置における照明条件を読み込むステップと、前記第 1 の工程の露光装置における前記回路パターン部相当の波面収差を読み込むステップと、前記第 1 の工程の露光装置における前記合わせマーク部相当の波面収差を読み込むステップと、前記第 1 の工程の前記回路パターンおよび前記合わせマークの転写像を算出するステップと、前記第 2 の工程の回路パターン寸法を読み込むステップと、前記第 2 の工程の合わせマーク寸法を読み込むステップと、前記第 2 の工程の露光装置における照明条件を読み込むステップと、前記第 2 の工程の露光装置における前記回路パターン部相当の波面収差を読み込むステップと、前記第 2 の工程の露光装置における前記合わせマーク部相当の波面収差を読み込むステップと、前記第 2 の工程の前記回路パターンおよび前記合わせマークの転写像を算出するステップと、前記第 1 の回路パターンの転写像と前記第 2 の回路パターンの転写像間の位置ずれと前記第 1 の合わせマークの転写像と前記第 2 の合わせマークの転写像間の位置ずれを算出するステップと、前記回路パターンの転写像の位置ずれと前記合わせマークの転写像の位置ずれの関係を求めるステップと、実測した合わせマークの位置ずれから実際の回路パターンの位置ずれ量を予測するステップと、前記実際の回路パターンの位置ずれ量を前記第 2 の工程の露光装置へ補正值としてフィードバックするステップを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記回路パターンは、合わせ規格が最も厳しい領域の回路パターンであることを特徴とする特許請求第 1 項記載の半導体装置の製造方法。

【請求項 3】 第 1 の工程の回路パターン上に第 2 の工程の回路パターンを露光する半導体製造における合わせ管理方法であって、予め求めた回路パターン位置ずれと合わせマーク位置ずれの関係から合わせずれ中心管理値と上限管理値と下限管理値を算出することを特徴とする合わせ管理方法。

【請求項 4】 第 1 の工程の回路パターン上に第 2 の工程の回路パターンを露光する半導体製造システムであって、被露光基板の製造に用いた露光装置と照明条件およびレチクルの来歴を記憶する来歴記憶手段と、レチクルの回路パターン寸法と合わせマーク寸法と該回路パターンの座標と該合わせマークの座標を記憶するレチクルデータ記憶手段と、露光装置および工程毎の照明条件を記憶する照明条件記憶手段と、露光装置およびパターン座標毎の波面収差データを記憶する波面収差データ記憶手段と、前記照明条件と前記回路パターン寸法と前記合

わせマーク寸法および前記座標毎の波面収差から第 1 の工程に対する第 2 の工程の回路パターンの位置ずれ量と第 1 の工程に対する第 2 の工程の合わせマークの位置ずれ量を算出する位置ずれ量算出手段と、前記回路パターン位置ずれ量と前記合わせマーク位置ずれ量の間係を算出する位置ずれ関係算出手段と前記位置ずれ関係と第 1 の工程名、第 2 の工程名、第 1 および第 2 の工程で使用された露光装置、照明条件、レチクルを記憶する位置ずれ関係記憶手段と、製品、工程毎の合わせ管理値を記憶する合わせ管理値記憶手段と、前記位置ずれ関係から合わせ管理値を変換する合わせ管理値変換手段と、合わせ検査データを記憶する合わせ検査データ記憶手段と、前記位置ずれ関係と前記合わせ検査データから、前記第 2 の工程における露光装置の補正量を算出する補正量算出手段と、半導体製造装置全体の制御および情報授受を行うホストコンピュータと、前記複数の記憶手段と複数の算出手段、選択手段および判断手段の情報の授受および前記着工装置判断手段で出力される着工装置と前記補正值算出手段で算出された補正值または、前記組み合わせ情報記憶手段から出力される補正值を前記ホストコンピュータに送信する入出力制御手段と、露光装置と合わせ検査装置を具備することを特徴とする半導体製造システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に露光工程における合わせずれを高精度に検出し、補正する方法およびシステムに関する。

【0002】

【従来の技術】半導体装置の製造は、ウエハ上に導電膜または絶縁膜を成膜する成膜工程と、この膜上に感光剤であるレジストを塗布、レチクル上の回路パターンをレジストに露光、現像した後、残存するレジストをマスクとして膜をエッチングすることによってウエハ上に回路パターンを生成するリソグラフィ工程を各層で繰り返すことによって行われている。この時、下地層パターンに対し、露光時の回路パターンの位置ずれがあると回路は断線またはショートし、半導体デバイスの不良となる。このため、露光装置は回路パターンの露光に先だって下地層の回路パターン外周にあるアライメントマークを光学的に検出し、下地層の位置を計測、転写位置を補正することによって下地層と露光層の位置合わせを行っている。

【0003】また、実際に転写露光した後（エッチングを行う前に）、合わせ検査装置により下地層合わせマークと露光層合わせマークの相対的位置ずれを計測し、位置ずれ量を次回露光時の補正量として露光装置にフィードバックしている。また、位置ずれ量が許容値を越える場合は、レジスト剥離後、再塗布、露光、現像を行う。このような作業をリワークと呼ぶ。すなわち、合わせ検

査は露光装置へのフィードバックとリワーク要否の判定を行うことが目的の検査である。

【0004】上述の合わせ検査は、合わせマークで計測される位置ずれが回路パターンの位置ずれを表すことを前提としている。しかし、回路パターンの微細化に伴い合わせずれ許容値が小さくなった現在、このことが成立しない場合があることが分かってきている。これは露光レンズの波面収差に依存する。以下このことを図18を参照し説明する。

【0005】露光レンズ30は例えば、波面収差として 10 コマ収差300をもつ。これは、例えば、露光レンズ30組立時の要素レンズの偏心やチルトおよびレンズ面の面精度誤差に起因する非対称な収差である。コマ収差300は露光レンズ30の周辺付近で傾きが大きい。露光レンズ30を通る光線はコマ収差300の傾きに比例した量だけ曲げられる。一方、転写パターンの空間周波数によってレチクルで回折される回折光の角度が異なる。従って、転写パターンの空間周波数が異なると、露光 20 レンズ30内を通る光線の位置が異なるため、位置ずれ量も異なる。図18は粗いパターン210と微細パターン220に露光光2003が入射した場合を示す。(b)の回折角の大きい微細パターン220の回折光2005の方が(a)の粗いパターン210の場合と比べて、露光レンズ30の周辺を通るので、(a)の位置ずれ量 $\Delta x'$ よりも(b)の位置ずれ量 $\Delta x''$ より大きくなる。このことは、回路パターンと合わせマークとは空間周波数が異なるため、転写時の位置ずれも異なることを示しており、前述の合わせ検査の前提が崩れることを意味している。

【0006】さらに、露光に際しては、図19(a)に示す通常照明の他に、「光アライアンス1998年1月号第4頁」に記載されているような輪帯照明が適用される場合がある。輪帯照明での露光を図19(b)に示す。輪帯照明では、照明光束2002の断面が輪帯状であり、転写パターンのコントラストを向上させる効果がある。図19(b)に示すように光束が周辺に拡がる輪帯照明の転写パターン位置ずれ $\Delta x'$ は、通常照明での位置ずれ Δx よりも大きくなる。このことは、照明条件も回路パ 30 ターンと合わせマークの位置ずれの差に影響を及ぼすことを示す。

【0007】以上のことを解決するために、回路パターンと同等な空間周波数をもつパターンで構成された合わせマークを用いて合わせ検査を行う方法が特開平10-312958に公開されている。

【0008】

【発明が解決しようとする課題】上記公知技術に関しては次のような課題がある。すなわち、回路パターンの空間周波数と合わせるため、合わせマーク214は図20に示すような数条のラインパターン215で構成されるが、微細で長いパターンであるため、合わせマーク端付 50

近のラインパターンが倒れたり、隣接部41からのハレーションや波面収差の影響で非対称になったりし易い。下地層に対する位置ずれは、ラインパターン全体の光学像2140の波形処理によって行うため、片側の端のラインパターンが非対称になると計測される位置ずれに誤差 ΔER が発生する。

【0009】本発明の目的は、合わせマークを微細なラインパターンに変更することなく、回路パターンと合わせマークの位置ずれ量の差を補正する半導体製造方法を与えることである。本発明の新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、以下のとおりである。

【0011】すなわち、第1の工程の回路パターン上に第2の工程の回路パターンを露光する半導体製造方法であって、前記第1の工程の回路パターン寸法を読み込むステップと、前記第1の工程の合わせマーク寸法を読み込むステップと、前記第1の工程の露光装置における照明条件を読み込むステップと、前記第1の工程の露光装置における前記回路パターン部相当の波面収差を読み込むステップと、前記第1の工程の露光装置における前記合わせマーク部相当の波面収差を読み込むステップと、前記第1の工程の前記回路パターンおよび前記合わせマークの転写像を算出するステップと、前記第2の工程の回路パターン寸法を読み込むステップと、前記第2の工程の合わせマーク寸法を読み込むステップと、前記第2の工程の露光装置における照明条件を読み込むステップと、前記第2の工程の露光装置における前記回路パターン部相当の波面収差を読み込むステップと、前記第2の工程の露光装置における前記合わせマーク部相当の波面収差を読み込むステップと、前記第2の工程の前記回路パターンおよび前記合わせマークの転写像を算出するステップと、前記第1の回路パターンの転写像と前記第2の回路パターンの転写像間の位置ずれと前記第1の合わせマークの転写像と前記第2の合わせマークの転写像間の位置ずれを算出するステップと、前記回路パターンの転写像の位置ずれと前記合わせマークの転写像の位置 40 ずれの関係を求めるステップと、実測した合わせマークの位置ずれから実際の回路パターンの位置ずれ量を予測するステップと、前記実際の回路パターンの位置ずれ量を前記第2の工程の露光装置へ補正值としてフィードバックするステップを有することとを特徴とする。

【0012】これにより、回路パターンの位置ずれを合わせマークの位置ずれ計測値から正確に予測し、露光装置への適正な補正值の設定することが可能になり、半導体装置の歩留まりを向上させることができる。

【0013】また、前記回路パターンは、合わせ規格が最も厳しい領域の回路パターンであることを特徴とす

る。合わせ規格が最も厳しい領域の回路パターンに対する補正値が設定することができるので、他の領域の回路パターンを用いる場合と比べて歩留まりを向上させることができる。

【0014】さらに、第1の工程の回路パターン上に第2の工程の回路パターンを露光する半導体製造における合わせ管理方法であって、予め求めた回路パターン位置ずれと合わせマーク位置ずれの関係から合わせずれ中心管理値と上限管理値と下限管理値を算出することを特徴とする。

【0015】これにより、合わせ検査データの管理のみで、回路パターンの合わせずれ異常発生の検知が可能となり、この結果、異常解明、対策の着手を早めることができる。

【0016】また、第1の工程の回路パターン上に第2の工程の回路パターンを露光する半導体製造システムであって、被露光基板の製造に用いた露光装置と照明条件およびレチクルの来歴を記憶する来歴記憶手段と、レチクルの回路パターン寸法と合わせマーク寸法と該回路パターンの座標と該合わせマークの座標を記憶するレチクルデータ記憶手段と、露光装置および工程毎の照明条件を記憶する照明条件記憶手段と、露光装置毎および座標毎の波面収差データを記憶する波面収差データ記憶手段と、前記照明条件と前記回路パターン寸法と前記合わせマーク寸法および前記各座標毎の波面収差から第1の工程に対する第2の工程の回路パターンの位置ずれ量と第1の工程に対する第2の工程の合わせマークの位置ずれ量を算出する位置ずれ量算出手段と、前記回路パターン位置ずれ量と前記合わせマーク位置ずれ量の関係を算出する位置ずれ関係算出手段と前記位置ずれ関係と第1の工程名、第2の工程名、第1および第2の工程で使用された露光装置、照明条件、レチクルを記憶する位置ずれ関係記憶手段と、製品、工程毎の合わせ管理値を記憶する合わせ管理値記憶手段と、前記位置ずれ関係から合わせ管理値を変換する合わせ管理値変換手段と、合わせ検査データを記憶する合わせ検査データ記憶手段と、前記位置ずれ関係と前記合わせ検査データから、前記第2の工程における露光装置の補正量を算出する補正量算出手段と、半導体製造装置全体の制御および情報授受を行うホストコンピュータと、前記複数の記憶手段と複数の算出手段、選択手段および判断手段の情報の授受および前記着工装置判断手段で出力される着工装置と前記補正値算出手段で算出された補正値または、前記組み合わせ情報記憶手段から出力される補正値を前記ホストコンピュータに送信する入出力制御手段と、露光装置と合わせ検査装置を具備することを特徴とする。

【0017】本システムにより、半導体装置製造において、第1の工程と第2の工程の回路パターン位置ずれと合わせマーク位置ずれの関係を、被露光基板の来歴から瞬時に取り出すことができ、合わせ検査の異常検出およ

び露光装置への補正量フィードバックを迅速に行うことができる。

【0018】

【発明の実施の形態】以下、本発明の実施形態について図面を基に説明する。図1は本発明の一実施形態である半導体製造方法の処理フローを示す。

【0019】まず、ステップ9101で第1の工程におけるレチクル上の回路パターンの寸法データを読み込む。次にステップ9102で第1の工程におけるレチクルの合わせマーク寸法を読み込む。上記寸法には回路パターンおよび合わせマークの幅とピッチを含む。さらに、ステップ9103で第1の工程における露光装置の照明条件を読み込む。照明条件の例および定義方法については後述する。また、ステップ9104では第1の工程の露光装置における上記回路パターン部像高の波面収差データを読み込む。波面収差データの測定方法は後述する。次にステップ9105により、第1の工程の露光装置における上記合わせマーク部像高の波面収差データを読み込む。次にステップ9106により、回路パターン寸法、合わせマーク寸法、照明条件、回路パターン部像高の波面収差および合わせマーク部像高の波面収差から回路パターンと合わせマークの転写像の算出を行う。転写像の算出方法は後述する。

【0020】また、ステップ9201から9206で、第2の工程において、第1の工程に対するステップ9101から9106と同様な処理を行う。

【0021】次にステップ9301で第1の工程と第2の工程の回路パターン転写像の位置ずれと合わせマークの位置ずれを算出する。位置ずれ算出方法は後述する。さらにステップ9302で回路パターン転写像位置ずれと合わせマーク転写像位置ずれの関係を求める。次にステップ9303で上記位置ずれの関係によって、実測した合わせマーク位置ずれから実際の回路パターンの位置ずれを予測し、ステップ9304で位置ずれ量に応じた補正量を第2の工程の露光装置へフィードバックする。

【0022】ここで、図2により転写像の計算方法について説明する。まず、対象となる回路パターンの被露光基板4への転写像の計算を行うためには、照明条件2000、レチクル2上の回路パターン200および露光レンズ30の波面収差300のデータが必要となる。これらのデータを用いた像計算の方法については、例えば、上述のY.Yoshitake et al, SPIE Vol.1463, pp678-679, 1991'に開示されている。

【0023】ここで、図3により、照明条件2000の具体例について説明する。図3(a)は一般的な照明であり、パラメータとしては照明光源像2010の直径D1および露光レンズ30の絞リ31の像31'の直径Depで表すことができる。図3(b)は、回路パターン200として白黒情報以外に位相情報をもつ場合、いわゆる位相シフトレチクルを用いる場合に使われる照明条件であ

り、Depに対する照明光源像の直径D2の比が図3 (a) に比べて小さい。図3 (c) は輪帯照明と呼ばれるもので、照明光源像2030の外径D4および内径D3とDepで表すことができる。

【0024】次に図2の回路パターン200の具体例を図4により説明する。まず、図4 (a) はライン&スペースパターンであり、透明部202と遮光部202で構成される。ライン&スペースパターンのパラメータとしては、遮光部202であるラインの幅L1とライン&スペースのピッチP1で表すことができる。また、図4 (b) はホールパターンの例であり、遮光部204と開口部203で構成される。x方向の開口幅Sx、ピッチPx、y方向の開口幅Sy、ピッチPyとして表すことができる。

【0025】ここで、パターンの座標で波面収差が異なる理由を図5を用いて説明する。図5 (a) のレチクル2の点291から出た光2006は露光レンズ30を介して被露光基板4に結像される。点291はレンズ中心33からh1の座標位置にある。図5 (b) のレチクル2の点292から出た光2007は露光レンズ30を介して被露光基板4に結像される。点292はレンズ中心33からh2の座標位置にある。光線2006と光線2007では露光レンズ30内のエレメントレンズ34への入射角が異なるため、発生する波面収差301、302は異なったものになる。

【0026】次に図6に図2の波面収差300の例を示す。波面収差301はx方向に非対称なコマ収差の例で

$$H(\tau) = \int F(x)G(\tau - x)dx$$

となる。ここで、 τ は像強度分布 $G(x)$ のシフト量である。 $H(\tau)$ は $G(x)$ を τ ずらした時の $F(x)$ との不一致度を示すもので、 $H(\tau)$ が最小の時が最も一致する時で、像シフトがない状態であると考えられる。図10のように $H(\tau)$ の最小値を与える τ の値が図9の像シフト ΔP となる。

【0031】ここで、図11に第1の工程と第2の工程の回路パターン202、203の位置ずれ ΔX 、 ΔY と、合わせマーク212、213の位置ずれ $\Delta \xi$ 、 $\Delta \eta$

$$E_x = \Delta X - \Delta \xi$$

図12に ΔX と $\Delta \xi$ の関係を示す。 ΔX と $\Delta \xi$ が $1 \mu m$ 以下と微小範囲なので波面収差は変化せず、位置ずれ関係はオフセットだけで決まる。Y方向に関してもX方向と同様である。

【0034】合わせ検査の結果を露光装置にフィードバックする場合の補正量算出法について図13を用いて説

$$\beta = \alpha + \Delta X$$

また、合わせ検査結果から位置ずれ異常を検出するための管理値の変換方法を説明する。設計に基づいてホストコンピュータに登録されている合わせ上限管理値UCL、下限管理値LCLおよび中心管理値CLL(=0)は、回路パタ

$$UCL' = UCL - E_x$$

あり、3次元的なデータである。波面収差301は、例えばN.R.Farrar et al, SPIE Vol.4000, pp19-22, 2000に記載の方法で露光レンズ中心からの座標毎に計測することができる。

【0027】次に図7、8によりレチクル2上での回路パターンと合わせマークの配置について説明する。図7は第1の工程のレチクルの例である。回路パターン202の中心座標は (x_{202}, y_{202}) であり、合わせマーク212の中心座標は (x_{212}, y_{212}) である。図8は第2の工程のレチクルである回路パターン203と合わせマーク213の中心座標はそれぞれ回路パターン202および合わせマーク212と同じである。

【0028】ここで、回路パターンおよび合わせマーク転写像シフト量の算出方法を図9により説明する。光強度分布2021はレチクル2上の回路パターンの光強度分布であり、像強度分布2022は、上述の方法で算出した転写像の像強度分布である。像強度分布2022は、レチクル直後の光強度分布2021に対し、波面収差のため、 ΔP だけシフトする。

【0029】ここで、シフト ΔP の算出方法を説明する。回路パターンの光強度分布2021を表す式を $F(x)$ 、像強度分布2022を表す式を $G(x)$ とすると、それらの畳み込み積分 $H(\tau)$ は、

【0030】

【数1】

… (式1)

を示す。位置ずれ ΔX 、 ΔY 、 $\Delta \xi$ 、 $\Delta \eta$ は、上述の転写像シフト量 ΔP を第1および第2の工程の回路パターンと合わせマークについて算出し、第1と第2の工程の差分を取ることで得られる。

【0032】次に、合わせマークと回路パターンの位置ずれの関係の求め方について説明する。X方向に関しては下式によってオフセット E_x を求める。

【0033】

【数2】

… (式2)

明する。まず、過去の合わせ検査データの平均値 α を算出する。次に下式により回路パターン位置ずれの補正量 β を求める。

【0035】

【数3】

… (式3)

ン部の位置ずれ異常を検出するため、下式により変換される。

【0036】

【数4】

… (式4)

【数5】

$$LCL' = LCL - E_x$$

… (式5)

【数6】

$$CCL' = -E_x$$

… (式6)

変換後の上限, 下限管理値, 中心管理値 UCL' , LCL' , CCL' を図14に示す。Y方向に関しても同様である。

【0037】ここで, 回路パターンと合わせマーク位置ずれ関係の記憶方法とそれを利用した合わせ管理値の修正方法を図15, 図16により説明する。

【0038】まず, 図15では, 第1の工程および第2の工程に対するデータの読み込みから合わせマーク転写像算出は図1のステップ9101から9106, ステップ9201から9206と同じであり, 転写像の位置ずれ算出法と回路パターンと合わせマークの位置ずれ関係算出法もステップ9301, 9302と同じである。ステップ9401で, 算出した位置ずれ関係を後で検索できるように, 第1の工程と第2の工程の露光装置, 照明条件, レチクルと関連づけて記憶する。この位置ずれ関係は具体的には上述したX方向, Y方向のオフセット(X方向は E_x)である。

【0039】次に図16を用いて合わせ管理値の修正方法について処理フローを説明する。まず, ステップ9501において, 第2の工程における露光装置, レチクル, 照明条件の選択を行う。この選択は半導体装置製造全体を管理するホストコンピュータが行う。次以降のステップ9502から9506は後述の本発明の半導体装置製造システムが行う。ステップ9502では, ホストコンピュータ内の被露光基板の来歴データから, 第1の工程における露光装置, レチクル, 照明条件を検索する。次にステップ9503で, 図15で記憶した位置ずれ関係を露光装置, レチクル, 照明条件によって検索する。

【0040】次に, ステップ9504で第2の工程の合わせ管理値を読み込む。設計に基づいた合わせ管理値はホストコンピュータに記憶されているので, ここから工程名で検索する。次にステップ9505で, ステップ9503で得た位置ずれ関係から上述の「式4」「式5」「式6」を用い合わせ管理値を修正, 記憶し, ステップ9506で修正後の管理値を用いて合わせ異常を検知する。

【0041】ステップ9505の記憶先はホストコンピュータ内の合わせ管理値を修正しても良く, ステップ9506の異常検知もホストコンピュータが行っても良い。最後にステップ9507でスタッフが異常検知に基づいてその原因解析, 対策を行う。

【0042】次に本発明の実施例である半導体装置の製造システムに関して, 図17を参照して説明する。

【0043】半導体装置は成膜装置51によって被露光基板4が成膜され, CMP (Chemical Mechanical Polishing) 装置52によって膜が平坦化された後, 塗布現像装置

53により感光剤であるレジストが塗布される。次に露光装置5によって回路パターンが被露光基板4上の感光剤に転写され, 再び塗布現像装置53によって感光剤の現像が行われた後, 合わせ検査装置6によって合わせ検査が行われる。次にエッチング装置54によってエッチングが施された後, レジスト除去装置55によってレジストが除去され, 再び次の層の膜が成膜装置51によって生成される。このようなプロセスを繰り返すことによって半導体装置は製造される。

【0044】ホストコンピュータ8にはネットワーク81を介して上述の製造装置から被露光基板の処理の来歴データが送られている。例えば, 露光装置5からは被露光基板4の品種, 工程, ロット番号と処理に使われた号機, 照明条件等のレシピデータ, レチクル名等が送信され, ホストコンピュータ8の来歴記憶部801に保存される。合わせ管理値は手入力または図示しない別のコンピュータから取り込まれ, ホストコンピュータ8の合わせ管理値記憶部に802記憶されている。また, 合わせ検査装置6の合わせ検査データも通常は, ホストコンピュータ8に送信され, 合わせ検査データ記憶部803に登録される。

【0045】次に本発明の半導体装置製造システム7に関して説明する。まず, 回路パターン, 合わせマークの幅やピッチといった寸法や座標のデータはレチクル名とともにレチクルデータ記憶手段711に登録される。手動かまたは図示しない別なコンピュータからデータを入力することができる。登録する回路パターンを同一レチクル内で一番合わせ裕度の厳しい部分を選択することにより, 異常検知の精度を向上させることができる。また, 露光時の照明条件はホストコンピュータ8の来歴記憶部801からデータを得, 照明条件記憶手段712に記憶する。また, 波面収差データは上述した方法で測定し, 波面収差データ記憶手段712に露光装置5毎, レチクル上の座標毎に登録しておく。これらのデータが新規に登録されたタイミングで制御手段700は, 位置ずれ量算出指示を位置ずれ量算出手段710に対して行う。

【0046】位置ずれ量算出手段710は, レチクルデータ記憶手段711から回路パターンと合わせマークの寸法, 座標データを, 照明条件記憶手段712から照明条件を, 波面収差データ記憶手段713から対象となる回路パターン, 合わせマークの座標に相当する波面収差データを手し, 上述した方法により回路パターンと合わせマークの位置ずれ量を算出する。次に位置ずれ関係算出手段702が算出した位置ずれ量から回路パターンと合わせマークの位置ずれ関係を算出し, 位置ずれ関係記憶手段713に登録する。

【0047】次に合わせ管理値変換手段703が位置ずれ関係から、合わせ管理値記憶手段715に登録されている管理値を修正し、修正値を合わせ管理値記憶手段712に登録する。ここまでの処理が被露光基板4の処理による移動に対して予め行われる。

【0048】次に、被露光基板4が第2の工程において露光され、合わせ検査装置6から合わせ検査データが制御手段700に送信された時の処理を説明する。まず制御手段700は、ホストコンピュータ8に問い合わせを行い、来歴記憶部801に登録されている第1の工程および第2の工程における露光装置、レチクル、照明条件を得る。

【0049】第1の工程と第2の工程の露光装置、照明条件、レチクルの来歴情報から、該当する位置ずれ関係を位置ずれ関係記憶手段714から読み出す。尚、制御手段700は合わせ検査データを検査対象の被露光基板毎に仕分けし、合わせ検査データ記憶手段716に登録する。補正量算出手段704は上述の位置ずれ関係を用いて補正量を算出し、ホストコンピュータ8に送信し、ホストコンピュータ8は次回露光時に露光装置5に、この補正量を送信する。ここで、補正量算出手段704は合わせ検査データ記憶手段716に照会し、該当する過去のデータに対して、例えば平均値算出のような処理を施して求めても良い。このような処理によって、合わせ検査データのノイズ成分に影響されない高精度な補正量を算出することができる。

【0050】また、制御手段700は合わせ管理値記憶手段716から該当する合わせ管理修正値を適用し、送信されてきた合わせ検査データが管理値内かどうかを判定し、管理値を越える場合はホストコンピュータ8にその旨送信する。尚、制御部は合わせ管理値の修正値をホストコンピュータ8に送り、ホストコンピュータ8で異常値の判定を行っても良い。

【0051】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

(1) 回路パターンの位置ずれを合わせマークの位置ずれ計測値から正確に予測し、露光装置への適正な補正値の設定することが可能になり、半導体装置の歩留まりを向上させることができる。

(2) 合わせ規格が最も厳しい領域の回路パターンに対する補正値が設定することができるので、さらに歩留まりを向上させることができる。

(3) 合わせ検査データの管理のみで、回路パターンの合わせずれ異常発生の検知が可能となり、この結果、異常解明、対策の着手を早めることができる。

(4) 回路パターンと合わせマーク位置ずれの関係を、被露光基板の来歴から瞬時に取り出すことができ、合わせ検査の異常検出および露光装置への補正量フィードバ

ックを迅速に行うことができる。

【図面の簡単な説明】

【図1】本発明の実施例である、回路パターンでの位置ずれを予測して露光装置を補正するフローを説明する図。

【図2】転写像算出に必要なパラメータを説明する図。

【図3】図2のパラメータのうち照明条件を説明する図。

【図4】図2のパラメータのうち回路パターンを説明する図。

【図5】レチクル上の座標による波面収差発生の違いを説明する図。

【図6】図2のパラメータのうち波面収差を説明する図。

【図7】第1の工程のレチクルパターン例を説明する図。

【図8】第2の工程のレチクルパターン例を説明する図。

【図9】転写像シフトを説明する図。

【図10】像ざらし量 τ および回路パターン光強度変化と像光強度変化の畳み込み積分の関係を説明する図。

【図11】回路パターンと合わせマークの第1の工程に対する第2の工程の位置ずれを説明する図。

【図12】合わせマーク位置ずれ $\Delta\delta$ と回路パターン位置ずれ ΔX の関係を説明する図。

【図13】過去の合わせ検査データの平均を説明する図。

【図14】修正前後の合わせ管理値を説明する図。

【図15】回路パターンと合わせマークの位置ずれの関係を記憶するフローを説明する図。

【図16】合わせ管理値の修正とその利用のフローを説明する図。

【図17】本発明の実施例の半導体装置製造システムを説明する図。

【図18】パターン空間周波数と転写像位置ずれの関係を説明する図。

【図19】照明条件と転写像位置ずれの関係を説明する図。

【図20】従来例の複数条からなる合わせマークを説明する図。

【図21】従来例の合わせマークの課題を説明する図。

【符号の説明】

2…レチクル	200…パターン	202…第1の工程の回路パターン
203…第2の工程の回路パターン	212…第1の工程の合わせマーク	
213…第2の工程の合わせマーク	210…空間周波数の低いパターン	
220…空間周波数の高いパターン	2000…照明条件	

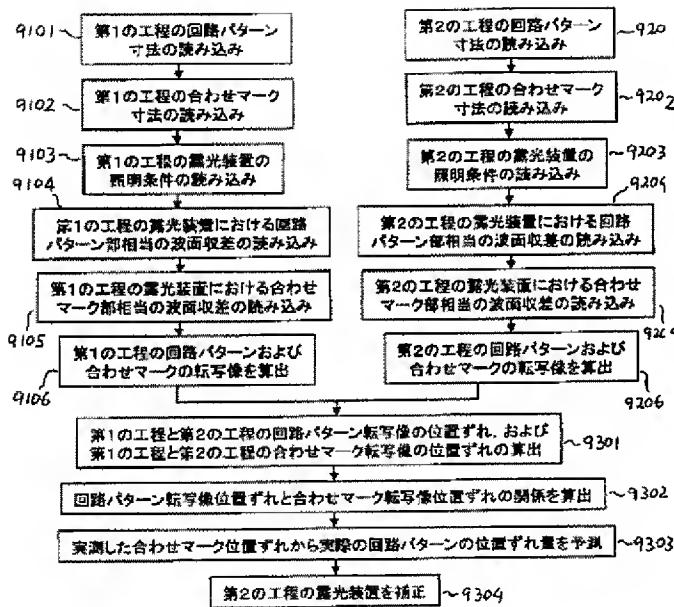
2010…通常照明条件での露光光源像 2020…
 小の照明での露光光源像
 2030…輪帯照明での露光光源像 214…複数条
 パターンからなる合わせマーク 215…複数条パタ
 ーン 2021…レチクル直後の光強度分布
 2022…転写像強度分布 30…露光レンズ 3
 1…瞳 34…エレメントレンズ 300…303
 …波面収差 4…被露光基板 5…露光装置
 51…成膜装置 52…CMP装置 53…塗布現像
 装置 54…エッチング装置 55…レジスト除去 10
 装置 6…合わせ検査装置 7…半導体装置製造シ

【図1】

ステム 70…制御部 700…制御手段 70
 1…位置ずれ量算出手段 702…位置ずれ関係算出
 手段 703…合わせ管理値変換手段 704…補
 正量算出手段 711…レチクルデータ記憶手段
 712…照明条件記憶手段 713…波面収差データ
 記憶手段 714…位置ずれ関係記憶手段 715
 …合わせ管理値記憶手段 716…合わせ検査データ
 記憶手段 8…ホストコンピュータ 81…ネット
 ワーク 801…ホストコンピュータ来歴記憶部
 802…ホストコンピュータ合わせ管理値記憶部
 803…ホストコンピュータ合わせ検査データ記憶部

【図2】

図1



【図3】

図3

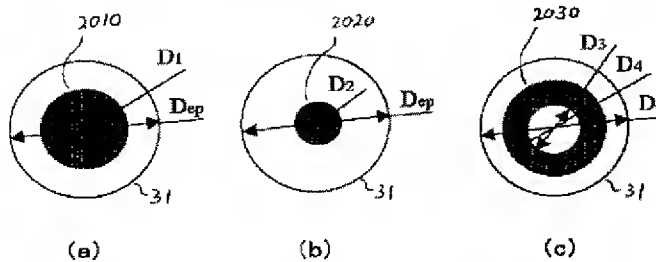
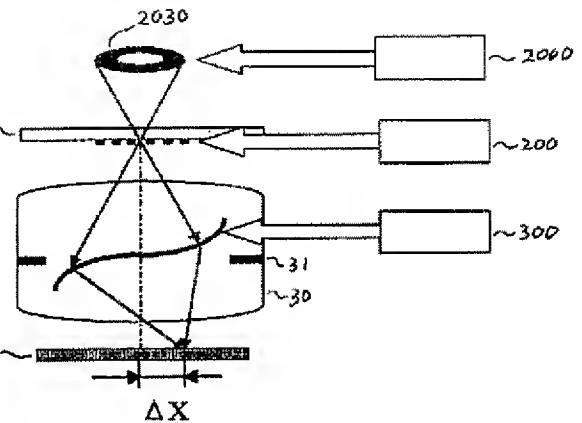
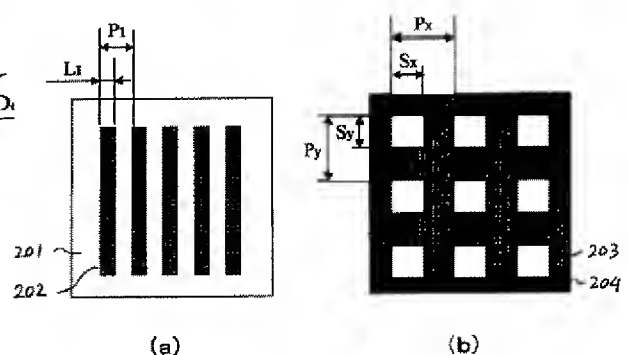


図2

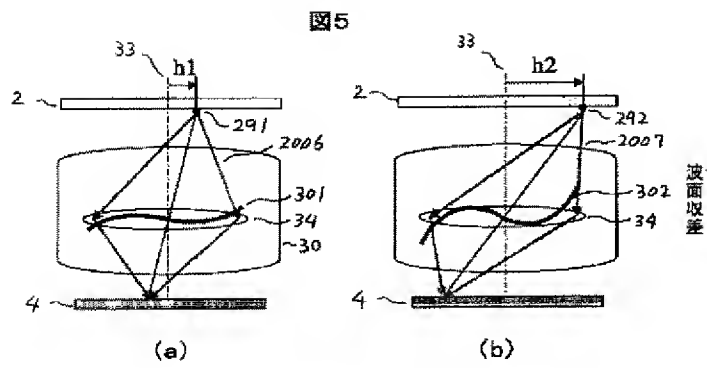


【図4】

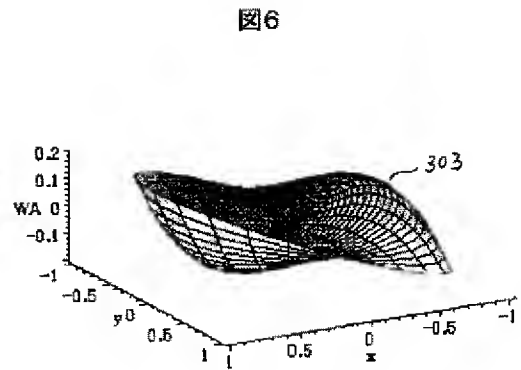
図4



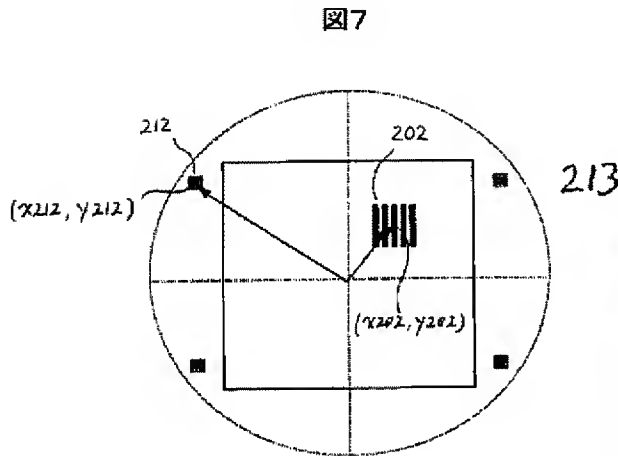
【図5】



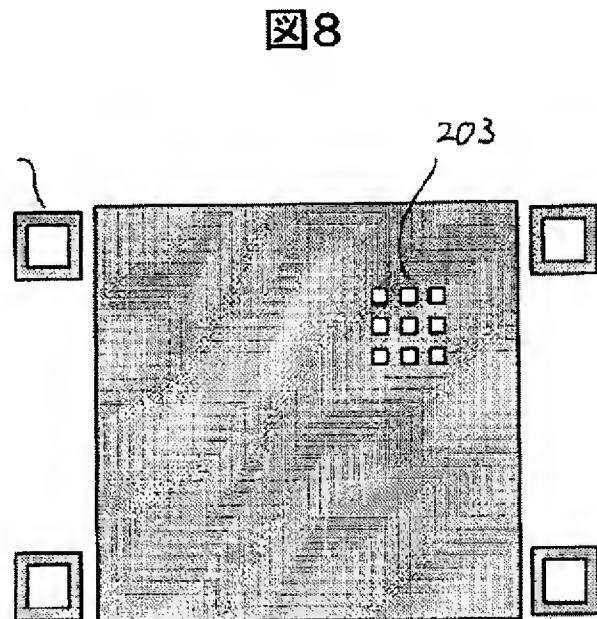
【図6】



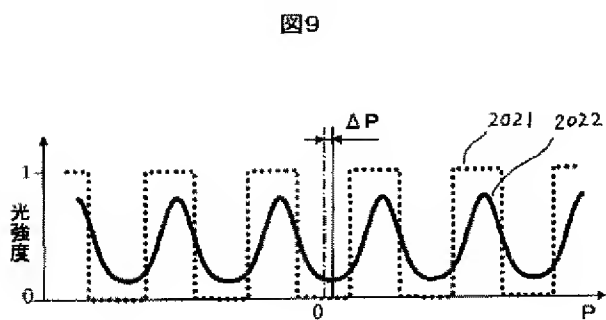
【図7】



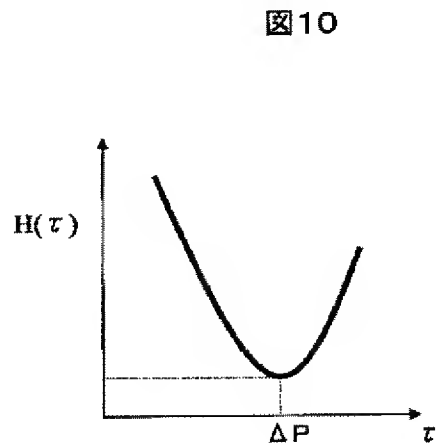
【図8】



【図9】

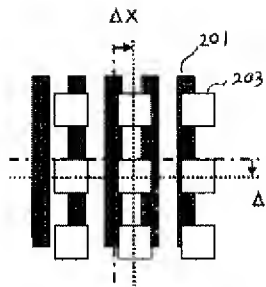


【図10】



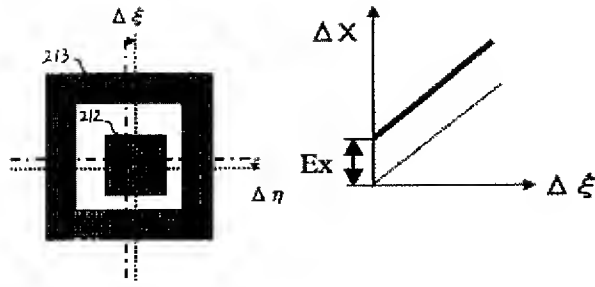
【図11】

図11



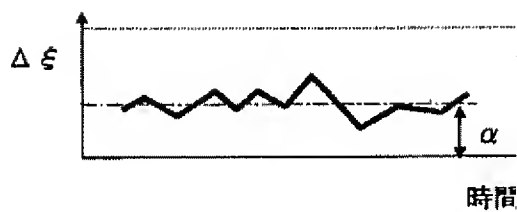
【図12】

図12



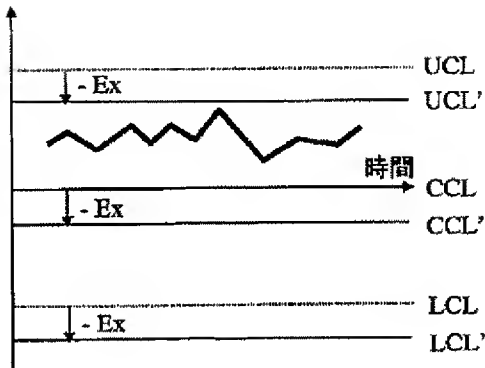
【図13】

図13



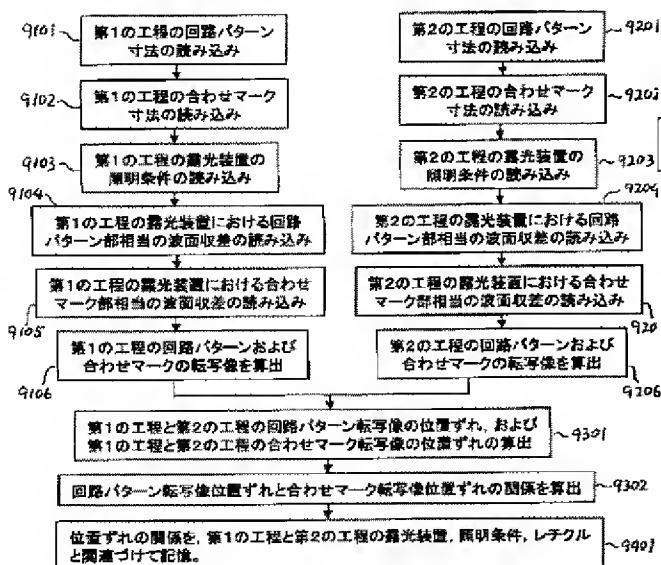
【図14】

図14



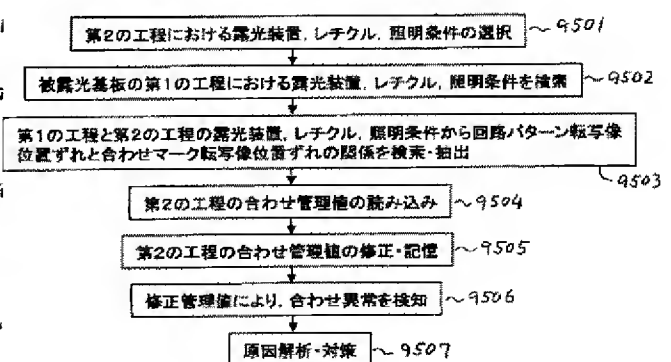
【図15】

図15



【図16】

図16



【图 17】

【图 18】

17

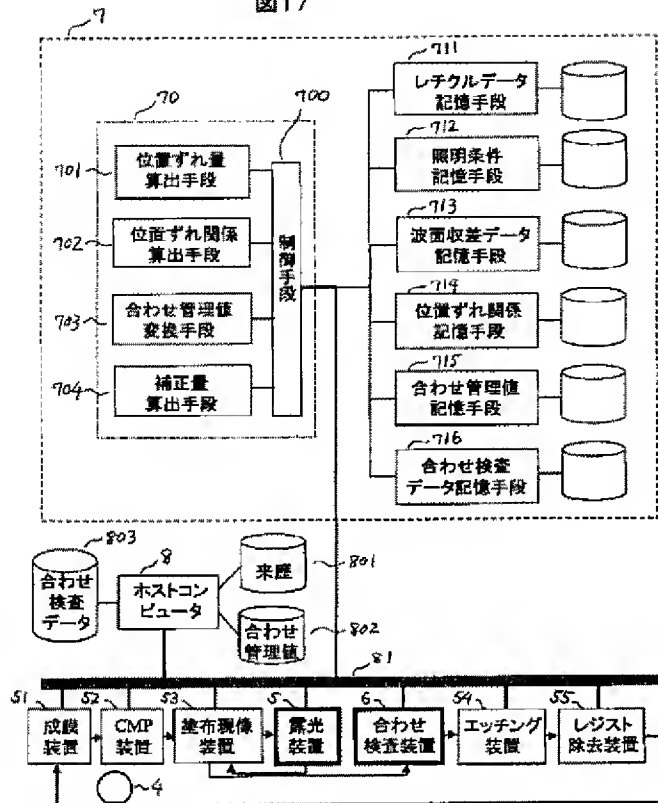
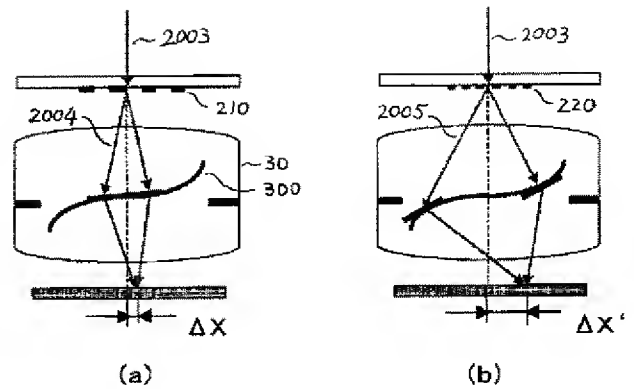


图18



【图 19】

【图 20】

图 19

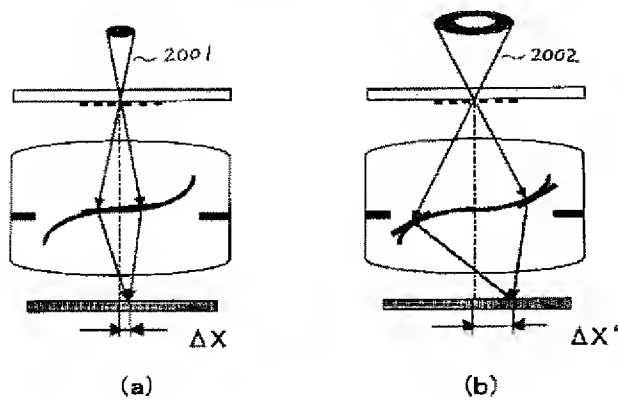
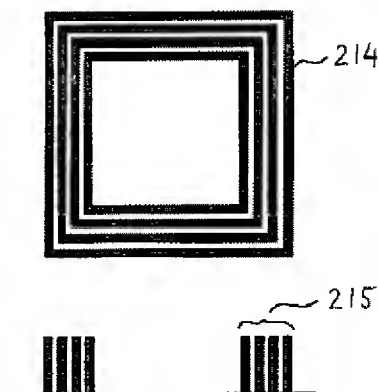
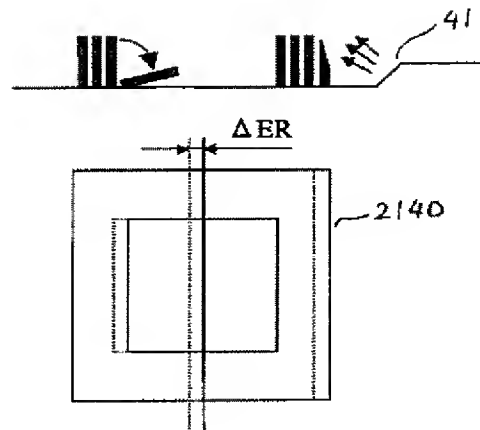


图20



【図 21】

図21



フロントページの続き

(72)発明者 三輪 俊晴

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

Fターム(参考) 5F046 DB05 FC04 FC10